



**Japanese-English  
Technology  
Services**

Dr. Warren Smith

27 Sandy Brook Dr.  
Durham, NH 03824  
1.603.674.2227

[Warren.Smith@comcast.net](mailto:Warren.Smith@comcast.net)

---

*Serving the Global Technical and Legal Communities Since 1984*

---

7/13/2006

**CERTIFICATION OF TRANSLATION**

I, Dr. Warren Smith of JETS: Japanese-English Technology Services, 27 Sandy Brook Drive, Durham, NH 03824 hereby declare and certify:

I am well acquainted with and knowledgeable regarding both the Japanese and English languages;

I am the translator of the attached English translation of Japanese Unexamined Patent Application Publication S62-6493, attached to this certification and e-mailed on 7/13/2006 to Attorney Joseph Baldwin ([joseph.baldwin@wilmerhale.com](mailto:joseph.baldwin@wilmerhale.com)).

To the best of my knowledge and belief, the attached English translation is a true, correct, accurate and complete translation.

I further declare and certify that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under 18 U.S.C. § 1001.

Pursuant to 28 U.S.C. § 1746, I declare and certify under penalty of perjury that the foregoing is true and correct.

Date: 7/13/2006

Dr. Warren W. Smith  
JETS: Japanese-English Technology Services  
Durham, NH 03824  
[Warren.Smith@comcast.net](mailto:Warren.Smith@comcast.net)  
603-674-2227

(19) Japan Patent Office (JP)

(11) Japanese Unexamined Patent Application Publication Number

(12) **Japanese Unexamined Patent Application Publication (A)**

**H62-6493**

(51) Int. CL<sup>4</sup>  
G 11 C 17/00

Identification codes  
101

JPO file numbers  
6549-5B

(43) Publication date: 13 Jan 1987

Request for examination: Not yet requested Number of inventions: 1 (Total of 4 pages)

(54) Title of the invention	WRITABLE/ERASABLE SEMICONDUCTOR MEMORY DEVICE
(21) Japanese Patent Application	H60-143017
(22) Date of Application	29 Jun 1985
(72) Inventor	KAMINO, Satoshi • RICOH KK 1-3-6 Nakagome, Oita-ku, Tokyo
(71) Applicant	RICOH KK 1-3-6 Nakagome, Oita-ku, Tokyo
(74) Agent	Patent attorney NOGUCHI, Shigeo

**SPECIFICATION**

1. **Title of the Invention**

Writable/Erasable Semiconductor Memory Device

2. **Scope of Patent Claims**

(1) A semiconductor memory device comprising writeable/erasable memory transistors, wherein:

a write circuit is provided with a circuit for selecting one writing voltage level from a plurality of writing voltage levels that correspond to a plurality of data, and applying [said selected one writing voltage] to a memory transistor; and wherein

a read circuit is provided with a comparator circuit that compares an output from a memory transistor to a plurality of reference levels, and provided with a circuit for determining data recorded in the memory transistor based on an output from the comparator circuit, so that multiple bits of data are stored in a single memory transistor.

(2) A writeable/erasable semiconductor memory device as set forth in Claim 1, wherein said reference levels are stored at the same time as the data storage in memory transistors of the same type as the memory transistors for data storage.

3. **Detailed Explanation of the Invention**

(Field of Technology)

The present invention relates to writable/erasable semiconductor memory devices that use EPROMs or EEPROMs as memory transistors.

(Prior Art)

When EPROMs or EEPROMs are used as memory transistors, normally a single bit of data is stored in a single memory transistor. Because of this, there is a problem that memory chips become large when attempts are made to create semiconductor memory with a large capacity.

On the other hand, in the field of masked ROMs, there are those wherein the threshold values for the memory transistors are controlled to a plurality of levels so as to store multiple bits of data in a single memory transistor. However, the mechanism for writing in EPROMs and EEPROMs, and the like, is completely different, and the threshold values in EPROMs and EEPROMs have not been controlled to multiple levels.

(Object)

The object of the present invention is to provide a memory device that uses EPROMs or EEPROMs as memory transistors, wherein the degree of integration in the memory device is improved through storing multiple bits worth of data in a single memory transistor.

(Constitution)

The semiconductor memory device according to the present invention is provided with a memory transistor that can be written to and erased, wherein the write circuit thereof is provided with a circuit that selects, and applies to a memory transistor, one writing voltage level from among a plurality of different writing voltage levels, corresponding to a plurality of data, and wherein the readout circuit is provided with a comparator circuit for comparing the output from the memory transistor to a plurality of reference levels, and provided with a circuit for determining, based on the output of the comparator, the recorded data in the memory transistor, where multiple bits worth of data are stored in a single memory transistor.

For the EPROM, a FAMOS-type device, or example, may be used, or for an EEPROM, a FAMOS-type or MNOS-type device, for example, may be used.

The write characteristics of the EPROM or EEPROM are dependent on the writing voltage when writing (the control gate voltage and the drain voltage). Given this, changing the writing voltage makes it possible to record a plurality of bit data in a single memory transistor.

An example of embodiment will be explained in detail below.

As one example, the case wherein two bits worth of data are written to a single memory transistor will be explained.

The threshold value  $V_{th}$  after writing to an EPROM or EEPROM varies as shown in Fig. 1 with the control gate voltage  $V_{cg}$ , that is the writing voltage. That is, the higher the voltage for the control gate voltage  $V_{cg}$ , the higher the voltage level of the threshold value  $V_{th}$  after writing.

Fig. 2 illustrates the writing circuit part in an example of embodiment.

2 is a memory transistor, where [such memory transistors] are arranged in the form of a array, and can be selected, when reading or writing, by an X and a Y decoder (not shown). 4 is a control gate voltage selecting circuit for selecting one of four different voltage levels:  $V_{cg1}$ ,  $V_{cg2}$ ,  $V_{cg3}$ , or  $V_{cg4}$ . 6 is a decoder into which two bits of data  $D1$  and  $D2$  are inputted, where one of the voltage levels is selected by the control gate voltage selecting circuit 4 by the output signal of this decoder 6 and applied as the control gate voltage of the memory transistor 2. The control gate voltage selecting circuit 4 and the decoder 6 together form a circuit that is capable of selecting, and applying to a memory transistor, one writing voltage from multiple writing voltages, corresponding to multiple data.

Control gate voltages are selected as shown in the table below, for example, for the two bits of digital data  $D1$  and  $D2$ :

Data		Control Gate Voltage
D1	D2	
0	0	$V_{cg1}$
0	1	$V_{cg2}$
1	0	$V_{cg3}$
1	1	$V_{cg4}$

When it comes to the reading out of data that is stored in this way, it is possible to readout using the same readout circuit as in the case wherein multibit data is stored in a single memory transistor in a masked ROM. That is, for the threshold values  $V_{th1}$ ,  $V_{th2}$ ,  $V_{th3}$  and  $V_{th4}$  [for multibit data] recorded using the four different control gate voltages  $V_{cg1}$ ,  $V_{cg2}$ ,  $V_{cg3}$  and  $V_{cg4}$ , the respective intermediate values  $V_{r1}$ ,  $V_{r2}$ , and  $V_{r3}$  are established as reference threshold voltages, and the memory threshold values for the memory transistors can be readout by comparisons thereto. (See Fig. 3.)

In the case of EPROMs or EEPROMs, the write level will change somewhat, albeit little, over time due to the storage characteristics of the write data, which is not the case for masked ROMs. Given this, the circuit shown in Fig. 4 is used as the readout circuit.

In Fig. 4, 8-1, 8-2, and 8-3 are reference transistors for storing the reference voltages Vr1, Vr2, and Vr3, and use the same type of EPROMs or EEPROMs as the memory transistor 2. The same readout voltages are applied to the reference transistors 8-1, 8-2, and 8-3 as to the selected memory transistor 2.

10-1, 10-2, and 10-3 are comparator circuits. The comparator circuit 10-1 inputs the output current of the memory transistor 2 and the output current of the reference transistor 8-1, comparator circuit 10-2 inputs the output current of the memory transistor 2 and the output current of the reference transistor 8-2, and the comparator circuit 10-3 inputs the output current of the memory transistor 2 and the output current of the reference transistor 8-3, and each [comparator circuit] convert to voltages.

12 is an encoder that inputs the output signals of the comparators 10-1, 10-2, and 10-3, and outputs the 2-bit digital data D1 and D2. The encoder 12 corresponds to the circuit for determining the recorded data of the memory transistor.

In storing the reference threshold value voltages Vr1, Vr2, and Vr3 in the reference transistors 8-1, 8-2, and 8-3, these voltages Vr1, Vr2, and Vr3 are set in advance using wafer processes or circuits, and the threshold voltages of the reference transistors 8-1, 8-2, and 8-3 are written to the same levels as the respective Vr1, Vr2, and Vr3. The writing of these reference threshold value voltages is performed at the same time as the writing of the data to the memory transistors 2.

Given the present example of embodiment, the reference threshold value voltages Vr1, Vr2, and Vr3 are recorded in the reference transistors 8-1, 8-2, and 8-3, wherein changes over time will occur along with [those changes] in the memory transistors 2, thus making it possible to absorb the changes over time when reading out, making it possible to readout with stability.

While in the example of embodiment, a decoder 6 was used in the write circuit, a multiplexer may be used instead of a decoder.

(Effects)

The present invention makes it possible to record multibit data in a single memory transistor such as an EPROM or an EEPROM, thus making it possible to increase the density of the memory device and thus possible to increase the memory capacity of a chip of a given size.

#### 4. Simple Explanation of Drawings

Fig. 1 is a diagram illustrating the relationship between the EPROM or EEPROM write control gate voltage and the threshold value after writing; Fig. 2 is a block diagram illustrating the write circuit block in a first example of embodiment; Fig. 3 is a figure illustrating the relationship between the threshold value after writing and the reference threshold value voltage; and Fig. 4 is a block diagram illustrating the readout circuit block in an example of embodiment.

- 2: Memory transistor
- 4: Control gate voltage selecting circuit
- 6: Decoder
- 8-1, 8-2, 8-3: Reference transistors
- 10-1, 10-2, 10-3: Comparator circuits
- 12: Encoder

Agent: Patent Attorney NOGUCHI, Shigeo

Fig. 1

[VERTICAL AXIS]: Threshold value after writing  
[HORIZONTAL AXIS]: Control gate voltage

Fig. 2

- 6: Decoder
- 4: Control gate voltage selecting circuit
- 2: Memory transistor

Fig. 3

Fig. 4

- 8-1: Reference transistor
- 2: Memory transistor
- 12: Encoder

② 日本国特許庁 (JP) ① 特許出願公開  
 ④ 公開特許公報 (A) 昭62-6493

③ Int.Cl. I 請願記号 庁内整理番号 ④ 公開 昭和62年(1987)1月13日  
 G 11 C 17/00 101 6549-5B  
 審査請求 未請求 発明の数 1 (全4頁)

⑤ 発明の名称 巻込みと消去が可能な半導体メモリ装置  
 ⑥ 著 願 昭60-143017  
 ⑦ 出 願 昭62(1987)6月29日  
 ⑧ 著 願者 井 益 昭 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ⑨ 出 願人 株式会社リコー 東京都大田区中馬込1丁目3番6号  
 ⑩ 代 理 人 代理士 野口 順輔

## 明細書

## 1. 発明の名称

巻込みと消去が可能な半導体メモリ装置

## 2. 特許請求の範囲

(1) 巻込みと消去が可能なメモリトランジスタを構成する半導体メモリ装置において、

該装置には複数の部品に対応して複数種類の部品を複数個レバルから1個の部品に組立レバルを設置してメモリトランジスタに接する部品を備え、

該部品にはメモリトランジスタからの圧力を複数の基準レベルに階級する比較部及びその比較部の出力を基にしたメモリトランジスタの動作位置を判定する部品を備えることにより、1メモリトランジスタは複数ビットの部品を必要させることを削減する巻込みと消去が可能な半導体メモリ装置。

(2) 前記基準レベルは複数部品のメモリトラ

ンジスタと同様のメモリトランジスタに接する部品と同時に接続されたものである特許請求の範囲は、前記の巻込みと消去が可能な半導体メモリ装置。

## 3. 発明の詳細な説明

## 1. 基本構造

本発明はEEPROMやEEPROMをメモリトランジスタとする巻込みと消去が可能な半導体メモリ装置に関するものである。

## 《従来技術》

EEPROMやEEPROMをメモリトランジスタとする場合、通常は1個のメモリトランジスタに対しても1ビットの情報を記憶させていた。そのため、次言葉の半導体メモリ装置を形成しようとするとメモリチップが大きくなる問題がある。

一方、マスクROMの分野においては、イオン注入法によりメモリトランジスタのしきい値を調整するに加算し、1個のメモリトランジスタに

## 特開昭62-6493 (2)

記憶ビット分の情報を記憶させようとしたもののが知らねている。しかし、EPROMやEEPROMの記憶の方法のメカニズムはマスクROMの場合とは全く異なり、EPROMの中はEEPROMの大きい値を電圧レベルに翻訳することは行なわれていい。

## 【目的】

半導体EEPROMやEEPROMをメモリトランジスタとするメモリ装置において、1個のメモリトランジスタに複数ビット分の情報を記憶させることによりメモリ装置の情報量を向上させるこことを目的とするものである。

## 【構成】

本発明の半導体メモリ装置は、記憶と消去が可能なメモリトランジスタを備え、その導込み回路には複数の回路に接続して複数種類の導込み電圧レベルから1個の導込み電圧を絞り出して複数種類の導込み電圧レベルを生成してメモリトランジスタに複数ビット分の情報を記憶させる回路を備え、その

導出し回路にはメモリトランジスタからの出力を複数の出力レベルと出力する比較回路及びその比較回路の出力を基にしてメモリトランジスタの記憶情報を判定する回路を備えることにより、1メモリトランジスタに複数ビット分の情報を記憶させるようにしたものである。

EPROMやEEPROMとして例えればPMOS型のものを選択することができます。NMOS型として例えればPMOS型やMNOS型のものを使用することができる。

EPROMやEEPROMの導込み特性は導込み電圧と導込み電圧（コントロールゲート電圧やドレイン電圧）に依存する。そこで、導込み電圧を駆動させ、1メモリトランジスタに複数ビット分の情報を記憶させることができます。

以下、実施例について具体的に説明する。

一例として1個のメモリトランジスタに2ビット分の情報を書き込み場合について説明する。

EPROMやEEPROMの導込み後のしきい値Vthは、導込み電圧であるコントロールゲート電圧Vcgによって順に高められるようになります。すなはち、コントロールゲート電圧Vcgを高めにするとほど導込み後のしきい値Vthも高電圧レベルになります。

書き出しは一度消去における書き込み部分を書き換えるものである。

2はメモリトランジスタであり、マトリックス状に配列されており、導込み時及び読み出し時にはX、Yデコード（選択回路）により活性化されるようになっている。それは4種類の駆動レベルVce1、Vce2、Vce3、Vce4のうちの1を駆動するコントロールゲート電圧駆動回路。これは2ビットの情報D1、D2が入力されるデコーダであり、デコーダの出力4通りによりコントロールゲートは駆動回路4通りに駆動され駆動レベルが選択されてメモリトランジスタ2のコントロールゲート駆動として印加される。コントロールゲート駆動回路は路線ハイデコード6により駆動する回路に対応して

複数種類の導込み電圧レベルから1個の導込み電圧レベルを選択してメモリトランジスタに印加する回路を構成する。

2ビットのデジタル情報D1、D2に対しても、駆動せば下記のようコントロールゲート駆動が選択されるものとする。

情報	コントロールゲート電圧
D1: D2	
0 0	Vce1
0 1	Vce2
1 0	Vce3
1 1	Vce4

このようにして記憶された情報を読み出しへ、マスクROMにおいて1個のメモリトランジスタに複数ビット分の情報を記憶させた場合と同様の読み出し回路により読み出すことができる。すなはち、本構成のコントロールゲート電圧Vce1、Vce2、Vce3、Vce4により記憶された情報のしまい

新開昭62-6493 (3)

送  $V_{ds}$ 、 $V_{ds0}$ 、 $V_{ds0}$ 、 $V_{ds0}$  に加え、それ  
の中間値  $V_{ds}$ 、 $V_{ds}$ 、 $V_{ds}$  を導入しない  
適応度として設定し、比較することによりメモリ  
トランジスタの記憶しない値を読み分けること  
ができる（第3章参照）。

E.PROMやEEPROMの場合、サムスンのMと異なり、直かではあるが基込み情報の保護特性として書き込みレベルの経年劣化がある。そこで、読み出し抵抗として第4端子の回路を用意する。

第4例において、8-1、8-2、8-3は基準しきい値をV<sub>FL</sub>、V<sub>FR</sub>、V<sub>RL</sub>を記憶する基板トランジスタであり、メモリトランジスタ2と同様のEEPROMやEEPROMを用意する。選択されたメモリトランジスタ2と基板トランジスタ8-1、8-2、8-3には共通の駆動信号が印加される。

10-1, 10-2, 10-3は比較回路であり、比較回路10-1はメモリトランジスタ2の出力電圧と基準トランジスタ3-1の出力電圧とを入力し、比較回路10-2はメモリトランジ

本実験例によれば、メモリトランジスタ2ヒビもに様相変化を起こす基準トランジスタ8～1、8～2、8～3に基準しきい値電圧 $V_{th1}$ 、 $V_{th2}$ 、 $V_{th3}$ を設定させているので、成出し時の経時変化を抑制することができる。安定な操作を実行することができる。

英語詞では音込み回路でデコーダ6を使用しているが、デコーダに代えてマルチプレクサを使用することもある。

（物語）

本発明によれば、1個のBPRQOMをEPRQOMのメモリトランジスタに複数ビット分の情報を記憶させることができるので、メモリ装置の速度が向上し、同一サイズのチップのメモリ装置を増大させることができます。

#### 4. 痘瘍の開創と拡張

第三回 从今以后是宝玉的本命年

9.2の出力電流と基準トランジスタ5-2の出力電流を投入し、此駆動路10-3はアセモリトランジスタ2の出力電流と基準トランジスタ5-1の出力電流を投入し、それぞれ電圧に変換して出力する。

12は比較値10-1, 10-2, 10-3の扇形符号を入力し、2ビットのデジタル情報D1, D2を出力するエンコーダである。エンコーダ12はメモリランジスタの記憶値を判定する回路に応している。

新規トランジスタ& -1, 8-2, 8-3に加  
算しある極性電流  $V_{BE}$ ,  $V_{CE}$ ,  $V_{RE}$  を基準値  
には、通常  $V_{BE}$ ,  $V_{CE}$ ,  $V_{RE}$  がエラーハラス  
ト率に、又は回路により予め確定しておき、基準  
トランジスタ& -1, 8-2, 8-3のしあわせ  
がそれぞれそれを他の電流  $V_{BE}$ ,  $V_{CE}$ ,  $V_{RE}$  と  
同一レベルになるまでを差込む。基準しあわせ電流  
の表示はメモリトランジスタ& 2に情報を差込  
むと共に回路に飛ぶ。

ントロールゲート電圧と電容み後のしきい値との関係を示す図、第2図は一実験例における電容み後の電圧部を示すプロット図、第3図は電容み後のしきい値と電圧部しきい値電圧との関係を示す図、第4図は一実験例における説明し易断部を示すプロット図である。

## 2. --- メモリトランジスタ.

#### 1-1-コントローラグート基盤構成圖

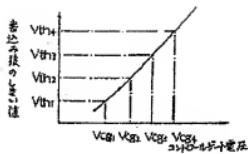
八二二四

$\lambda = 1$  :  $\theta = 3$  :  $\beta = 3$  以改善模型的预测能力。

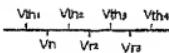
5.1.1.10.3.1.0

引例圖62-6493 (4)

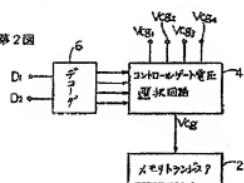
第1図



第3図



第2図



第4図

